

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-301272

(43)Date of publication of application : 05.12.1989

(51)Int.Cl.

B41J 5/30

B41J 3/12

B43L 13/00

G06F 3/12

G06F 15/72

G06K 15/00

(21)Application number : 63-132379

(71)Applicant : NEC CORP

(22)Date of filing : 30.05.1988

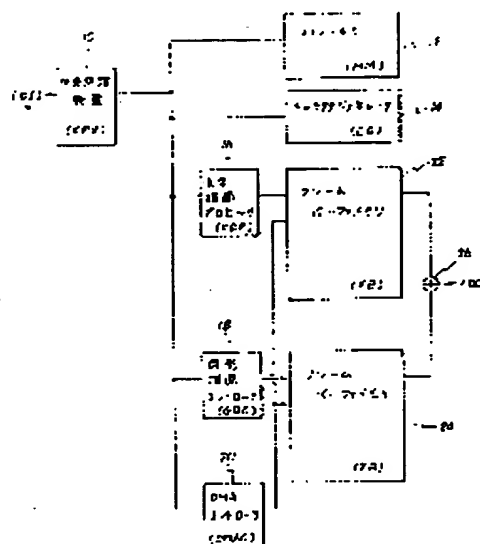
(72)Inventor : SHIGAKU YUTAKA

## (54) DATA PROCESSOR

## (57)Abstract:

**PURPOSE:** To improve the operating efficiency of a central processing unit, to shorten the drawing time to a drawing memory and to process a data at high speed by mounting bit map memories for drawing in two kinds of one for drawing a character and one for drawing a graphic.

**CONSTITUTION:** The output sides of a character drawing processor 16 and a DMA controller 20 are connected to the input side of No.1 frame buffer memory 22 and the output sides of a graphic drawing controller 18 and the DMA controller 20 to the input side of No.2 frame buffer memory 24 respectively, and the output sides of these frame buffer memories 22, 24 are connected to the input side of a computing element 24 arithmetically operating OR respectively. A font code and a graphic data input to a central processing unit 10 are stored in a main memory 12. The frame buffer memory 22 is used for drawing a character pattern data and the frame buffer memory 24 for drawing the graphic data, and outputs from the frame buffer memories 22, 24 are logically summed by the computing element 26, and output to a printer section.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

## ⑫ 公開特許公報 (A) 平1-301272

⑤ Int. Cl. 4

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)12月5日

B 41 J 5/30

D-7810-2C

3/12

Z-7612-2C

B 43 L 13/00

A-7513-2C

G 06 F 3/12

B-7208-5B

15/72

8125-5B

G 06 K 15/00

7208-5B

3 5 0

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 データ処理装置

⑮ 特 願 昭63-132379

⑯ 出 願 昭63(1988)5月30日

⑰ 発 明 者 志 染 裕 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑲ 代 理 人 弁理士 高 橋 勇

## 明 細 書

1. 発明の名称 データ処理装置

2. 特許請求の範囲

(1). 上位機から文字コードデータないし図形データを受信し、これに基づいて、中央処理手段、文字用描画制御手段および図形用描画制御手段により、描画メモリにビットマップデータを描画するデータ処理装置において、

前記描画メモリを各描画制御手段毎に設けるとともに、各描画メモリに各々描画されたビットマップデータを合成する演算手段を装備したことを特徴とするデータ処理装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、プリンタ等のデータ処理装置にかかるものであり、特に、文字と図形の双方を扱うデータ処理装置に関するものである。

(従来の技術)

従来の文字と図形の両方を扱うデータ処理装置、

例えばプリンタ装置における文字と図形の描画制御は、上位機から受信したデータを、その中央処理装置によって文字描画プロセッサないし図形描画プロセッサに規定の形で与えるようにして行われる。すなわち、中央処理装置は、独占的に各コントローラに対してサービスを行っている。

第3図を参照して説明すると、まず中央処理装置が出力起動を受け付けると(同図(A)参照)、それ以前に上位機から受信していた描画データのうち適当な単位で文字描画プロセッサに対するデータサービスが行われる。これに対応して、文字描画プロセッサによる文字描画動作が、描画メモリに対して行われる(同図(B)参照)。

以上の動作が繰り返し行われ、文字描画プロセッサに対する全てのデータサービスが終了すると、同様の方法で図形描画コントローラに対するサービスないし描画メモリに対する図形描画が行われる(同図(A)、(C)参照)。

次に、図形描画終了後、DMA(Direct Memory Access)コントローラの

制御に基づいて、描画メモリから描画データの出力が行われる（同図（D）参照）。

〔発明が解決しようとする課題〕

しかしながら、上記従来例においては、描画メモリが文字描画と図形描画に共通となっているため、文字描画プロセッサと図形描画コントローラ間のメモリ競合を避ける必要があるため、中央処理装置が、文字描画プロセッサ、図形描画コントローラに対して各々独占的にサービスを行なうようになっている。

従って、文字描画プロセッサ、図形描画コントローラによる描画動作の時間 $t$ （同図（A）参照）が中央処理装置の空き時間となり、その動作率が低いという不都合が生じている。

〔発明の目的〕

本発明の目的は、かかる従来例の有する不都合を改善し、とくに中央処理装置の稼働率の向上を図るとともに、描画メモリに対する描画時間を短縮して高速のデータ処理を可能とするデータ処理装置を提供することにある。

以下、本発明の一実施例を第1図ないし第2図を参照しながら説明する。

まず、第1図において、中央処理装置10には、上位機（図示せず）から文字コード、図形データが各々転送されるようになっている。

この中央処理装置10の出力側は、メインメモリ12、キャラクタジェネレータ14、文字描画プロセッサ16、図形描画コントローラ18、DMA（Direct Memory Access）コントローラ20の入力側に各々接続されている。

そして、文字描画プロセッサ16及びDMAコントローラ20の出力側は、第一番目のフレームバッファメモリ22の入力側に各々接続されている。図形描画コントローラ18及びDMAコントローラ20の出力側は、第二番目のフレームバッファメモリ24の入力側に各々接続されている。

次に、これらのフレームバッファメモリ22、24の出力側は、論理和の演算を行なう演算器26の入力側に各々接続されている。この演算器26の出力側は、プリンタ部（図示せず）に接続さ

（課題を解決するための手段）

本発明は、上位機から文字コードデータないし図形データを受信し、これに基づいて、中央処理手段、文字用描画制御手段、及び図形用描画制御手段により、描画メモリにビットマップデータを描画するデータ処理装置において、描画メモリを各描画制御手段毎に設けるとともに、各描画メモリに各々描画されたビットマップデータを合成する演算手段を設ける、という構成を採っている。

〔作 用〕

本発明によれば、描画メモリは、各描画制御手段毎に各々設けられ、第一の描画メモリには文字用描画制御手段によって文字のビットマップデータの描画が行われ、第二の描画メモリには図形用描画制御手段によって図形のビットマップデータの描画が行われる。従って、描画メモリに対する描画制御手段によるアクセス競合は生じない。

中央処理手段によるサービスは、各描画制御手段に対して並列的に行われる。

〔発明の実施例〕

れている。

これらのうち、中央処理装置10に入力された文字コード、図形データは、メインメモリ12に格納されるようになっている。このメインメモリ12は、少なくともプリント1ページ分のデータの格納容量を有している。格納されたデータのうちの文字コードに相当する文字パターンデータは、キャラクタジェネレータ14から出力されるようになっている。

次に、フレームバッファメモリ22は文字パターンデータの描画用であり、フレームバッファメモリ24は図形データの描画用である。これらのフレームバッファメモリ22、24の出力は、演算器26によって論理和された後、プリンタ部に出力されるようになっている。

次に、上記実施例の全体的動作を第2図を参照しながら説明する。

まず、上位機から文字コードや図形データD1が中央処理装置10に入力されると、メインメモリ12に格納される。

次に、1 ページ分のデータ受信が終了し、中央処理装置 10 において上位機から出力コードが受信されると（出力起動、第 2 図（A）参照）、文字描画プロセッサ 16 に対する CDP サービスが開始される。

すなわち、メインメモリ 12 に格納されている文字コードが中央処理装置 10 によって読出され、これに相当する文字パターンデータがキャラクタージェネレータ 14 から読出されて文字描画プロセッサ 16 に入力されることとなる（同図（A）、T1～T2 参照）。

文字描画プロセッサ 16 は、文字パターンデータが受信されると、これをフレームバッファメモリ 22 の該当位置に描画する（同図（B）、T2～T4 参照）。

他方、中央処理装置 10 では、以上の文字描画の空き時間に、図形描画コントローラ 18 に対する GDC（Graphic Display Controller）サービスが行われる（同図（A）、T2～T3 参照）。すなわち、メインメモリ 12 に格納されている図

形データが中央処理装置 10 によって読出され、これが図形描画コントローラ 18 に入力されることとなる。

図形描画コントローラ 18 は、図形データが受信されると、これをフレームバッファメモリ 24 の該当位置に描画する（同図（C）、T3～T5 参照）。

次に、中央処理装置 10 では、以上の図形描画動作中の空き時間に文字描画プロセッサ 16 における文字描画動作終了を確認し（同図（A）、

（B）、T4 参照）、上述した CDP サービスを繰り返す。

以上のように、中央処理装置 10 の空き時間中は、GDC サービスないし CDP サービスがともに可能であって、文字描画プロセッサ 16 または図形描画コントローラ 18 の描画動作を確認するようにして、それぞれのサービスが繰り返し行われる。

次に、1 ページ分のデータの描画動作が終了すると（同図（A）、T6 参照）、中央処理装置 1

0 によって DMA コントローラ 20 の起動が行われ、中央処理装置 10 によって DMA コントローラ 20 の起動が行われ、中央処理装置 10 によって DMA C（Direct Memory Access Controller）サービスが行われる（同図（A）、T6～T7 参照）。

すなわち、起動を受けた DMA コントローラ 20 によって、プリント用紙に対応するメモリアドレスがフレームバッファメモリ 22、24 に各々出力される（同図（D）、T7～T8 参照）。

フレームバッファメモリ 22、24 から出力された各ビットマップデータは、演算器 26 で論理和され、出力データ DO としてプリンタ部に転送される。

以上のように動作するこの実施例によれば、中央処理装置 10 の空き時間は第 2 図（A）に示す通りとなり、第 3 図と比較すれば明らかなように、大幅に短縮されることとなる。また、フレームバッファメモリ 22、24 に対する描画時間も短縮され、高速のプリント動作が可能となる。

なお、本発明は何ら上記実施例に限定されるものではなく、同様の作用を奏するように種々設計変更可能である。

#### （発明の効果）

以上説明したように、本発明によれば、描画用のビットマップメモリを、文字描画用と図形描画用の二通り設けることとしたので、文字描画プロセッサと図形描画コントローラの同時動作によるメモリアクセス競合が防止されるとともに、それらに対する並列的な中央処理装置のサービスが可能となる。

従って、中央処理装置の稼働効率の向上を図ることができるとともに、描画メモリに対する描画時間を短縮して高速のデータ処理が可能となるという効果がある。

#### 4. 図面の簡単な説明

第 1 図は本発明の一実施例を示す回路ブロック図、第 2 図は実施例の動作を示す説明図、第 3 図は従来技術の動作を示す説明図である。

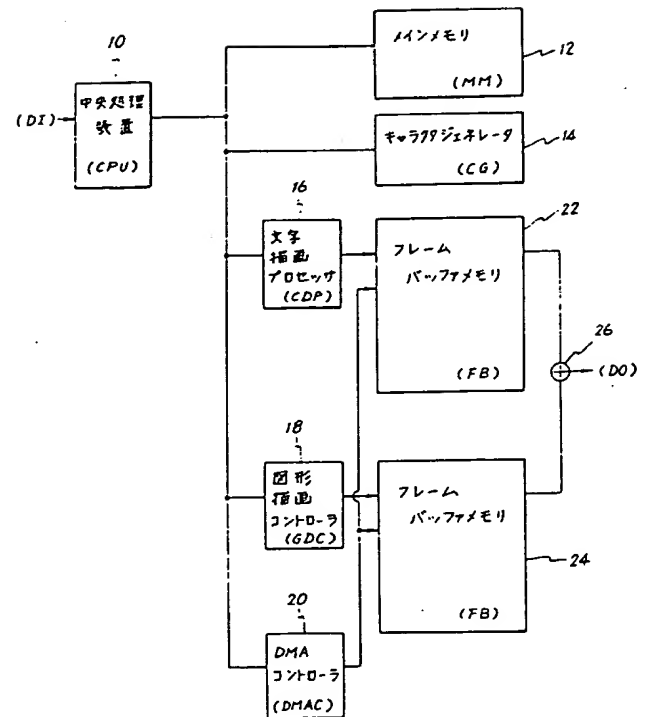
10 ……中央処理手段としての中央処理装置、

12 ……メインメモリ、14 ……キャラクタジェネレータ、16 ……文字用描画制御手段としての文字描画プロセッサ、18 ……図形用描画制御手段としての図形描画コントローラ、20 ……DMAコントローラ、22、24 ……描画メモリとしてのフレームバッファメモリ、26 ……演算手段としての演算器。

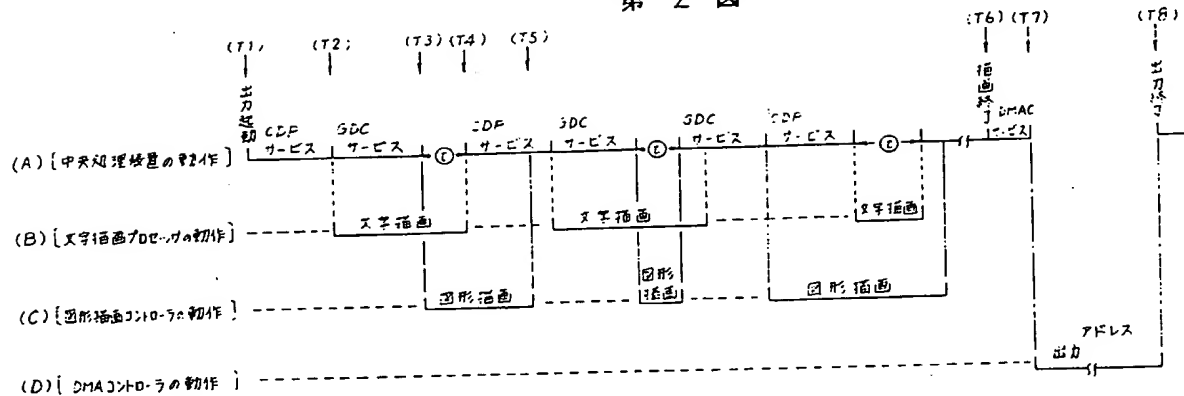
特許出願人 日本電気株式会社

代理人 弁理士 高橋 勇

第1図



第2図



第3図

